

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183723

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H03K 19/0185

(21)Application number : 10-356591

(71)Applicant : NEC CORP

(22)Date of filing : 15.12.1998

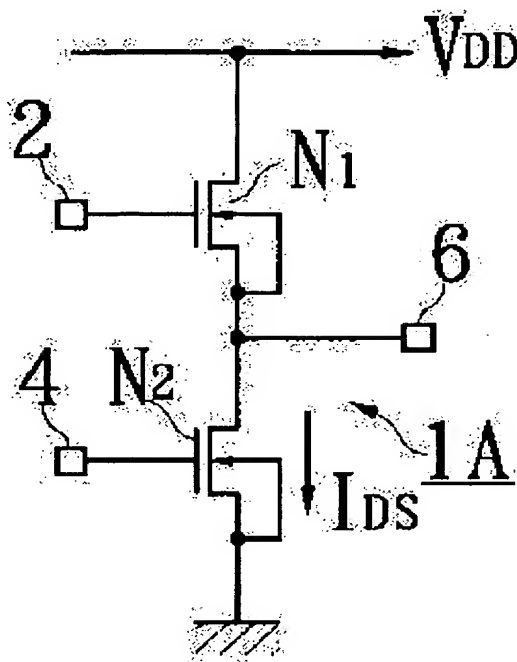
(72)Inventor : WATARAI SEIICHI

(54) LEVEL SHIFT CIRCUIT, INPUT CIRCUIT AND OUTPUT CIRCUIT USING THE LEVEL SHIFT CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate dependence of a level shift on the fluctuation in a process or the like.

SOLUTION: The level shift circuit is provided with an insulation gate transistor(TR) N1 whose gate 2 receives an input signal and with an isolation gate TR N2 of the same conductivity as the isolation gate TR N1 and whose drain is connected to a source of the isolation gate TR N1. A voltage independent of a process or the like is applied to a gate 4 of the isolation gate TR N2. A rate of the gate channel width to the gate channel length of the two isolation gate TRs is selected equal to each other so as to eliminate the dependence of a level shift quantity on the process or the like.



LEGAL STATUS

[Date of request for examination]

18.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3171177

[Date of registration]

23.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-183723

(P 2000-183723 A)

(43) 公開日 平成12年6月30日 (2000. 6. 30)

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 3 K 19/0185

H 0 3 K 19/00

1 0 1 B 5J056

審査請求 有 請求項の数 4 0 O L

(全 1 8 頁)

(21) 出願番号 特願平10-356591

(22) 出願日 平成10年12月15日 (1998. 12. 15)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渡会 誠一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

弁理士 西村 征生

F ターム (参考) 5J056 AA01 AA04 AA11 BB28 BB38

BB40 CC01 CC09 CC21 DD13

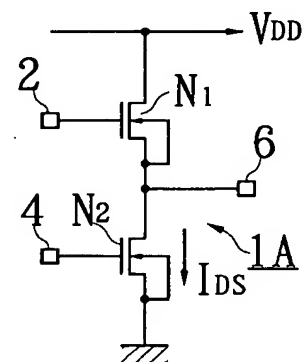
DD27 FF09 HH01 HH02

(54) 【発明の名称】 レベルシフト回路、該レベルシフト回路を用いた入力回路及び出力回路

(57) 【要約】

【課題】 レベルシフト量のプロセス等の変動に対する依存性の除去を図る。

【解決手段】 ゲートに入力信号が印加される第1の絶縁ゲートトランジスタと、該第1の絶縁ゲートトランジスタのソースとドレインが接続され、第1の絶縁トランジスタと同一導電型の第2の絶縁ゲートトランジスタを設け、前記第2の絶縁ゲートトランジスタのゲートにプロセス等に依存性のない電圧を印加するようにすると共に、これら2つの絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しく設定してレベルシフト量のプロセス等に対する依存性を除去した。



【特許請求の範囲】

【請求項 1】 第 1 の絶縁ゲートトランジスタのソースと該第 1 の絶縁ゲートトランジスタと同一導電型の第 2 の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第 1 の絶縁ゲートトランジスタのゲートに印加し、前記第 1 及び第 2 の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路であって、前記第 1 及び第 2 の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第 2 の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴とするレベルシフト回路。

【請求項 2】 前記第 1 及び第 2 の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、動作温度、及び動作電圧に依存しない前記定電圧が前記第 2 の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 3】 前記 2 つの絶縁ゲートトランジスタの、式 (1) で与えられる値を等しくしたことを特徴とする請求項 1 又は 2 記載のレベルシフト回路。

$$(1/T) \times W/L \quad \cdots (1)$$

但し、T はゲート絶縁膜の厚さ、W はゲートチャネル幅、L はゲートチャネル長で、以下の請求項において同じ。

【請求項 4】 前記 2 つの絶縁ゲートトランジスタの、式 (2) で与えられる値を等しくしたことを特徴とする請求項 1 又は 2 記載のレベルシフト回路。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \cdots (2)$$

但し、 μ は表面移動度、 ϵ_r はゲート絶縁膜の比誘電率、S はゲートチャネルの単位面積で、以下の請求項において同じ。

【請求項 5】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴とする請求項 1、2、3 又は 4 記載のレベルシフト回路。

【請求項 6】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴とする請求項 1、2、3 又は 4 記載のレベルシフト回路。

【請求項 7】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴とする請求項 1 乃至 6 のいずれか 1 に記載のレベルシフト回路。

【請求項 8】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴とする請求項 1 乃至 6 のいずれか 1 に記載のレベルシフト回路。

トランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴とする請求項 1 乃至 6 のいずれか 1 に記載のレベルシフト回路。

【請求項 9】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴とする請求項 1 乃至 8 のいずれか 1 に記載のレベルシフト回路。

【請求項 10】 前段の回路から出力された信号の電圧レベルを、該前段の回路と動作電圧を異にする後段の回路の入力動作レベルにするのに必要なレベルシフト量だけ、レベルシフトして、前記後段の回路に供給する入力回路であって、

第 1 の絶縁ゲートトランジスタのソースと該第 1 の絶縁ゲートトランジスタと同一導電型の第 2 の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第 1 の絶縁ゲートトランジスタのゲートに印加し、前記第 1 及び第 2 の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路を設け、

前記第 1 及び第 2 の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第 2 の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴とする入力回路。

【請求項 11】 前記第 1 及び第 2 の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、及び動作温度に依存しない前記定電圧が前記第 2 の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴とする請求項 10 記載の入力回路。

【請求項 12】 前記 2 つの絶縁ゲートトランジスタの、式 (3) で与えられる値を等しくしたことを特徴とする請求項 10 又は 11 記載の入力回路。

$$(1/T) \times W/L \quad \cdots (3)$$

【請求項 13】 前記 2 つの絶縁ゲートトランジスタの、式 (4) で与えられる値を等しくしたことを特徴とする請求項 9 又は 10 記載の入力回路。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \cdots (4)$$

【請求項 14】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴とする請求項 10、11、12 又は 13 記載の入力回路。

【請求項 15】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴とする請求項 10、11、12 又は 13 記載の入力回路。

【請求項 16】 前記 2 つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴とする請求項 10 乃至 1

5のいずれか1に記載の入力回路。

【請求項17】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴とする請求項10乃至15のいずれか1に記載の入力回路。

【請求項18】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴とする請求項9乃至17のいずれか1に記載の入力回路。

【請求項19】 前記前段の回路は、互いに逆相関係にあってかつ異なる電圧レベル2つの信号が供給されて1つの出力信号を1つの出力端に出力する差動増幅回路であり、前記レベルシフト回路は、1つの入力端及び1つの出力端を有する回路であり、前記後段の回路は、一方の入力端に基準電圧が印加されるコンパレータであり、前記差動増幅回路の1つの出力端が前記レベルシフト回路の1つの入力端に接続され、前記レベルシフト回路の1つの出力端が前記コンパレータの他方の入力端に接続されたことを特徴とする請求項10乃至18のいずれか1に記載の入力回路。

【請求項20】 前記前段の回路は2つの入力端及び2つの出力端を有する差動増幅回路であり、前記レベルシフト回路は、2つの入力端及び2つの出力端を有する回路であり、前記後段の回路は、2つの入力端を有する差動増幅回路であり、前記前段の差動増幅回路は、その2つの入力端に互いに逆相関係にあってかつ異なる電圧レベルの2つの信号が供給され、その2つの出力端が、前記レベルシフト回路の対応する入力端に接続され、前記レベルシフト回路の2つの出力端が、前記後段の差動増幅回路の対応する入力端に接続されたことを特徴とする請求項10乃至18のいずれか1に記載の入力回路。

【請求項21】 入力信号の電圧レベルを出力段の入力動作レベルにするのに必要なレベルシフト量だけ前記入力信号をレベルシフトして前記出力段に供給する入力回路であって、

第1の絶縁ゲートトランジスタのソースと該第1の絶縁ゲートトランジスタと同一導電型の第2の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第1の絶縁ゲートトランジスタのゲートに印加し、前記第1及び第2の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路を設け、前記第1及び第2の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第2の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴とする入力回路。

【請求項22】 前記第1及び第2の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、及び

動作温度に依存しない前記定電圧が前記第2の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴とする請求項21記載の入力回路。

【請求項23】 前記2つの絶縁ゲートトランジスタの、式(5)で与えられる値を等しくしたことを特徴とする請求項21又は22記載の入力回路。

$$(1/T) \times W/L \quad \cdots (5)$$

【請求項24】 前記2つの絶縁ゲートトランジスタの、式(6)で与えられる値を等しくしたことを特徴とする請求項21又は22記載の入力回路。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \cdots (6)$$

【請求項25】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴とする請求項21、22、23又は24記載の入力回路。

【請求項26】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴とする請求項21、22、23、又は24記載の入力回路。

【請求項27】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴とする請求項21乃至26のいずれか1に記載の入力回路。

【請求項28】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴とする請求項21乃至26のいずれか1に記載の入力回路。

【請求項29】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴とする請求項19乃至28のいずれか1に記載の入力回路。

【請求項30】 前記レベルシフト回路は、互いに逆相関係にあってかつ異なる電圧レベルの2つの信号が供給される2つの入力端及び2つの出力端を有する回路であり、前記出力段は、2つの入力端を有する差動増幅回路であり、前記レベルシフト回路の2つの出力端が、前記出力段の対応する入力端に接続されたことを特徴とする請求項21乃至29のいずれか1に記載の入力回路。

【請求項31】 入力段から出力された信号を負荷回路へ所定のレベルシフト量だけレベルシフトして出力する出力回路であって、

第1の絶縁ゲートトランジスタのソースと該第1の絶縁ゲートトランジスタと同一導電型の第2の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第1の絶縁ゲートトランジスタのゲートに印加し、前記第1

及び第2の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路を設け、

前記第1及び第2の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第2の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴とする出力回路。

【請求項32】 前記第1及び第2の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、及び動作温度に依存しない前記定電圧が前記第2の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴とする請求項31記載の出力回路。

【請求項33】 前記2つの絶縁ゲートトランジスタの、式(7)で与えられる値を等しくしたことを特徴とする請求項31又は32記載の出力回路。

$$(1/T) \times W/L \quad \cdots (7)$$

【請求項34】 前記2つの絶縁ゲートトランジスタの、式(8)で与えられる値を等しくし、かつ他方の絶縁ゲートトランジスタのゲートにプロセス及び温度に依存性を有しない定電圧を印加するように構成したことを

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \cdots (8)$$

【請求項35】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴とする請求項31、32、33、又は34記載の出力回路。

【請求項36】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴とする請求項31、32、33、又は34記載の出力回路。

【請求項37】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴とする請求項31乃至36のいずれか1に記載の入力回路。

【請求項38】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴とする請求項31乃至36のいずれか1に記載の入力回路。

$$V_{OUT} = V_{IN} - \{2I_{DS}/\beta\}^{1/2} - V_T \quad \cdots (11)$$

となる。

【0004】また、このレベルシフト回路を用いた小振幅インタフェース入力回路がある。その例を図9に示す。この小振幅インタフェース入力回路10は、差動増幅回路12と、図7に示すレベルシフト回路1と、コンパレータ14とから構成されている。レベルシフト回路1は、その後段に接続されているコンパレータ14と同一チップ内に形成され、コンパレータ14にはレベルシ

【請求項39】 前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴とする請求項31乃至38のいずれか1に記載の出力回路。

【請求項40】 前記入力段は、2つの入力端及び2つの出力端を有する差動増幅回路であり、前記レベルシフト回路は、2つの入力端及び負荷回路の2つの入力端に接続される2つの出力端を有する回路であり、前記差動増幅回路は、その2つの入力端に互いに逆相関係にあってかつ異なる電圧レベルの2つの信号が供給され、その2つの出力端は、前記レベルシフト回路の2つの入力端に接続されたことを特徴とする請求項31乃至39のいずれか1に記載の出力回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、入力電圧レベルをレベルシフトして出力するレベルシフト回路、該レベルシフト回路を用いた入力回路及び出力回路に関する。

【0002】

【従来の技術】従来知られているレベルシフト回路の例を図7に示す。このレベルシフト回路1は、入力端2と、ゲートを入力端2に接続し、ドレインを電圧源 V_{DD} に接続したNチャンネルMOSFET N_5 と、流入端をNチャンネルMOSFET N_5 のソースに接続し流出端を大地電位に接続した電流源 $CS1$ と、NチャンネルMOSFET N_5 のソースと電流源 $CS1$ の流入端との接続点に接続された出力端6とから構成されている。このレベルシフト回路1の電流源 $CS1$ に流れる電流 $ID3$ は、製造プロセス、動作温度、電源電圧に依存性がない定電流源が用いられている。

【0003】図7参照して、このレベルシフト回路の動作を説明する。高レベルの電圧 V_{IN} が入力端2に入力されたときのNチャンネルMOSFET N_5 のゲート-ソース間電圧 V_{GS} は、次式(9)で与えられる。

$$V_{GS} = \{2I_{DS}/\beta\}^{1/2} + V_T \quad \cdots (9)$$

そして、出力端6に発生する出力電圧 V_{OUT} は、次式

$$V_{OUT} = V_{IN} - V_{GS} \quad \cdots (10)$$

で与えられ、この式(10)に式(9)を代入すると、

フト回路1よりも低い V_{DD} (例えば、レベルシフト回路1が3ボルトに対しコンパレータ14は1.8ボルト)が供給されているため、入力信号のレベルをコンパレータ14で受信できる範囲のレベルにまでシフトさせるのに用いられる。

【0005】差動増幅回路12は、入力端16、18と、抵抗 R_3 と、ゲートを入力端16に接続し、ドレインを抵抗 R_3 を経て電圧源 V_{DD} に接続したNチャ

ンネルMOSFET N_3 と、抵抗 R_4 と、ゲートを
 入力端 18 に接続し、ドレインを抵抗 R_4 を経て電圧
 源 V_{DD} に接続したNチャンネルMOSFET N_4
 と、流入端をNチャンネルMOSFET N_3 , N_4
 のソースに接続し、流出端を大地電位に接続した電流源
 20 とから構成されている。この差動増幅回路 12 の出
 力端 O_4 (抵抗 R_4 とNチャンネルMOSFET N_4
 N_4 のソースとの接続点) は、レベルシフト回路 1 のN
 チャンネルMOSFET N_1 のゲートに接続されてい
 る。レベルシフト回路 1 は、図 7 と同じ構成のものであ
 る。レベルシフト回路 1 の出力端 6 は、コンパレータ 1
 4 の入力 (+) に接続されている。コンパレータ 14 の
 基準入力 (-) には、基準電圧 V_{CP} を供給する電圧源
 (図示せず) が接続されている。コンパレータ 14 の出
 力は、CMOS 内部回路 22 に接続されている。

【0006】レベルシフト回路 1 は、伝送路を経て伝送
 されて来て差動増幅回路 12 の各別の入力端 16, 18
 で受信した、互いに逆相関係にある電圧レ
 ベルの 2 つの信号 I_{NA} , I_{NB} (図 10 の I_{NA} , I_{NB})
 で表される 2 進値に対応する 2 進信号をコンパレ
 ータ 14 へ出力する回路である。すなわち、入力端 1
 6, 18 に各別に印加された信号 I_{NA} , I_{NB} (図 1
 0 の I_{NA} , I_{NB}) のうちの差動増幅回路 12 で差動
 増幅された信号 I_{NB} が、差動増幅回路 10 の出力端 O
 4 からレベルシフト回路 1 の入力端 2 へ供給され、その
 信号 I_{NB} の信号レベルをコンパレータ 14 の信号レ
 ベルへレベルシフトした信号 V_{OUT1} (図 10 の V
 O_{UT1}) が、レベルシフト回路 1 の出力端 6 から出力
 される。

【0007】出力される信号 V_{OUT1} が、図 10 の V
 O_{UT1} 中の V_{OUT1S} に示すような、振幅中心を基
 準電圧 V_{CP} とする理想的な信号として順次入力されて
 来るとすると、コンパレータ 12 の基準入力 (-) には
 基準電圧 V_{CP} が印加されているから、コンパレータ 1
 4 から、図 10 の V_{OUT2} の (1) に示すような波形
 の 2 進信号が順次出力され、CMOS 内部回路 22 での
 信号処理に供される。したがって、その信号処理に、少
 しも、不都合を生じさせることはない。

【0008】また、小振幅インタフェース入力回路とし
 て、図 11 に示すものがある。この小振幅インタフェ
 ース入力回路 30 は、差動増幅回路 32 と、レベルシフト
 回路 34 と、差動増幅回路 36 とから構成され、レベル
 シフト回路 34 は、差動増幅回路 32 の出力端 O_3 , O
 4 に各別に、図 7 と同一構成のレベルシフト回路が接続
 されて構成されている。差動増幅回路 32 は、図 9 と同
 様に構成されている。レベルシフト回路 34 は、図 7 の
 レベルシフト回路を 2 つ用いて構成され、第 1 のレベル
 シフト回路 34₁ は、NチャンネルMOSFET N_1 と
 定電流源 $CS1_1$ とから構成され、第 2 のレベルシフ
 ト回路 34₂ は、NチャンネルMOSFET N_2 と定電

流源 $CS1_2$ とから構成されている。

【0009】そして、レベルシフト回路 34 は、その後
 段に接続されている差動増幅回路 36 と同一チップ内に
 形成され、差動増幅回路 36 にはレベルシフト回路 34
 よりも低い V_{DD} (例えば、レベルシフト回路 34 が 3
 ボルトに対し差動増幅回路 36 は 1.8 ボルト) が供給
 されているため、差動増幅回路 36 へ供給される信号の
 レベルを差動増幅回路 36 で受信できる範囲のレベルに
 までシフトさせるのに用いられる。この小振幅インタフ
 ェース入力回路 30 においてレベルシフト回路 34 を用
 いる理由は、レベルシフト回路 34 の後段に接続されて
 いる差動増幅回路 36 に電圧源 V_{DD} 以上の信号が供給
 されると動作できないため (例えば、 $V_{DD}=1.8$ ボ
 ルトに対し信号振幅中心レベルが 2.5 ボルトの信号が
 バスラインを介して供給された場合)、差動増幅回路 3
 6 へ供給される信号のレベルを差動増幅回路 36 で受信
 できる範囲のレベルにまでシフトさせるためである。

【0010】この小振幅インタフェース入力回路 30
 も、図 9 と同様、差動増幅回路 32 の入力端 16, 18
 で伝送路を経て受信した互いに逆相関係にある電圧レ
 ベルの 2 つの信号 I_{NA} , I_{NB} で表される
 2 進値に対応する 2 進信号を差動増幅回路 36 から出力
 する回路である。

【0011】すなわち、入力端 16, 18 に各別に印加
 された信号 I_{NA} , I_{NB} は、差動増幅回路 32 で増幅
 され、それぞれレベルシフト回路 34 のNチャンネルMO
 SFET N_1 , N_2 のゲートに印加される。Nチャンネル
 MOSFET N_1 のソースと定電流源 $CS1_1$ との
 接続点に接続された出力端 6₁ 及びNチャンネルMOS
 FET N_2 のソースと定電流源 $CS1_2$ との接続点
 に接続された出力端 6₂ から、互いに逆相関係でかつ
 異なる電圧レベルにある所定のレベルシフト量だけレ
 ベルシフトされた信号が、それぞれ出力されて差動増幅
 回路 36 の (+) 入力及び (-) 入力に印加される。

【0012】その差動増幅回路 36 の (+) 入力に印加
 される信号のレベルシフト量と、該信号と逆相関係にあ
 って (-) 入力に印加される信号のレベルシフト量とが
 理想的な同一の量とされ、かつ互いに逆相関係にあつて
 かつ異なる電圧レベルの 2 つの信号が、レベルシフト回
 路 34 から出力されて差動増幅回路 36 の (+) 入力及
 び (-) 入力に印加されるとしたならば、差動増幅回路
 36 の (+) 入力に印加される電圧レベルが、(-) 入
 力に印加される電圧レベルよりも高いとき、差動増幅回
 路 36 の出力から高レベルの電圧が出力され、差動増幅
 回路 36 の (+) 入力に印加される電圧レベルが、

(-) 入力に印加される電圧レベルよりも低いとき、差
 動増幅回路 36 の出力から低レベルの電圧が出力され
 る。これにより、差動増幅回路 32 の入力端 16, 18
 に入力された、互いに逆相関係にあつてかつ異なる電圧
 レベルの 2 つの信号 I_{NA} , I_{NB} で表される 2 進値に

対応する 2 進信号が差動増幅回路 36 から出力される。この 2 進信号は、入力された互いに逆相関係にある異なる電圧レベルの 2 つの信号 I_{NA} , I_{NB} と理想的な時間関係を保っている、すなわち、信号 I_{NA} , I_{NB} の信号時間軸幅と同一の信号時間軸幅を有する信号となっているから、その 2 進信号が、CMOS 内部回路 38 の信号処理に供された場合、その信号処理に、何等の不都合も生じさせることはない。

【0013】また、小振幅インタフェース入力回路の他の例として、図 12 のものがある。この小振幅インタフェース入力回路 40 は、レベルシフト回路 42 と、差動増幅回路 36 とから構成される。そして、レベルシフト回路 42 は、図 7 と同一構成の 2 つのレベルシフト回路 42₁, 42₂ とから構成され、第 1 のレベルシフト回路 42₁ は、N チャネル MOSFET N_1 と定電流源 CS_1 とから構成され、第 2 のレベルシフト回路 42₂ は、N チャネル MOSFET N_2 と定電流源 CS_2 とから構成されている。その 2 つのレベルシフト回路 42₁, 42₂ の入力端 2₁, 2₂ に、互いに逆相関係にある異なる電圧レベルの 2 つの信号 I_{NA} , I_{NB} が、伝送路を経て入力されるように構成され、そして、その 2 つの出力端 6₁, 6₂ が、それぞれ差動増幅回路 36 の (−) 入力及び (+) 入力に接続されている。

【0014】そして、この小振幅インタフェース入力回路 40 においてレベルシフト回路 42 を用いる理由は、レベルシフト回路 42 の後段に接続されている差動増幅回路 36 に電圧源 V_{DD} 以上の信号が供給されると動作できないため（例えば、 $V_{DD}=1.8$ ボルトに対し信号振幅中心レベルが 2.5 ボルトの信号がバスラインを介して供給された場合）、差動増幅回路 36 へ供給される信号のレベルを差動増幅回路 36 で受信できる範囲のレベルにまでシフトさせるためである。

【0015】このように構成される小振幅インタフェース入力回路 40 も、図 9 及び図 11 と同様、レベルシフト回路 42₁, 42₂ の入力端 2₁, 2₂ に入力された互いに逆相関係にある異なる電圧レベルの 2 つの信号 I_{NA} , I_{NB} で表される 2 進値に対応する 2 進信号を差動増幅回路 36 から出力する回路である。すなわち、レベルシフト回路 42₁, 42₂ の入力端 2₁, 2₂ に各別に印加された信号 I_{NA} , I_{NB} は、それぞれレベルシフト回路 42₁, 42₂ でレベルシフトされ、N チャネル MOSFET N_1 のソースと定電流源 CS_1 との接続点に接続された出力端 6₁ 及び N チャネル MOSFET N_2 のソースと定電流源 CS_2 との接続点に接続された出力端 6₂ から互いに逆相関係にある異なる電圧レベルの信号がそれぞれ出力されて差動増幅回路 36 の (+) 入力及び (−) 入力に印加される。

【0016】その差動増幅回路 36 の (+) 入力に印加

される信号のレベルシフト量と、該信号と逆相関係にある (−) 入力に印加される信号のレベルシフト量とが、理想的な同一の量とされ、かつレベルシフト回路 42 から出力された互いに逆相関係にある異なる電圧レベルの 2 つの信号が、それぞれ差動増幅回路 36 の (+) 入力及び (−) 入力に印加されるとしたならば、差動増幅回路 36 の (+) 入力に印加される電圧レベルが、(−) 入力に印加される電圧レベルよりも高いとき、差動増幅回路 36 の出力から高レベルの電圧が出力され、差動増幅回路 36 の (+) 入力に印加される電圧レベルが、(−) 入力に印加される電圧レベルよりも低いとき、差動増幅回路 36 の出力から低レベルの電圧が出力される。これにより、レベルシフト回路 42₁, 42₂ の入力端 2₁, 2₂ に入力された互いに逆相関係にある異なる電圧レベルの 2 つの信号 I_{NA} , I_{NB} で表される 2 進値に対応する 2 進信号が差動増幅回路 36 から出力される。この 2 進信号は、入力された互いに逆相関係にある異なる電圧レベルの 2 つの信号 I_{NA} , I_{NB} と理想的な時間関係を保っている、すなわち、信号 I_{NA} , I_{NB} の信号時間軸幅と同一の信号時間軸幅を有する信号となっているから、その 2 進信号が、CMOS 内部回路 38 の信号処理に供された場合、その信号処理に、何等の不都合も生じさせることはない。

【0017】また、上記のレベルシフト回路を用いた小振幅インタフェース出力回路がある。その例を図 13 に示す。この小振幅インタフェース出力回路 50 は、図 11 に示す小振幅インタフェース入力回路 30 の構成と略同じである。異なる点は、そのレベルシフト回路 34 の出力端 6₁, 6₂ を伝送路 52 を経て負荷抵抗 54 に接続した点と、出力回路である故、バスラインに接続されている負荷を高速に駆動する都合上、トランジスタサイズ（例えば、N チャネル MOSFET N_1 , N_2 , N_3 , N_4 ）及び定電流値（例えば、 I_{CS1} , I_{CS2} , 20 の定電流値）が大きい値を有することである。したがって、図 13 に示す他の構成部分と同一の各部には同一の符号を付してその説明を省略する。

【0018】また、小振幅インタフェース出力回路の動作も略同じである。すなわち、入力端 16, 18 に各別に印加された、互いに逆相関係にある異なる電圧レベルの 2 つの信号 I_{NA} , I_{NB} は、差動増幅回路 32 で増幅され、それぞれレベルシフト回路 34 の N チャネル MOSFET N_1 , N_2 のゲートに印加される。N チャネル MOSFET N_1 のソースと定電流源 CS_1 との接続点に接続された出力端 6₁ 及び N チャネル MOSFET N_2 のソースと定電流源 CS_2 との接続点に接続された出力端 6₂ から、互いに逆相関係にある異なる電圧レベルにあると共に、所定のレベルシフト量だけレベルシフトされた信号が、それぞれ出力されて負荷回路 54 に供給される。負荷回路 54 は、

規定された電圧レベルの信号が供給された場合に、その正常な動作がするように構成されている。したがって、レベルシフト回路のレベルシフト量が、プロセス、温度の変動により、変動しない場合に、負荷回路54は、正常な動作をする。

【0019】

$$V_{OUT} = 3.0V - 1.0V - 0.5V = 1.5V$$

となるが(図8の(A))、前記或る製造プロセス及び動作温度の条件が変化して V_T が0.5Vから0.8V

$$V_{OUT} = 3.0V - 1.25V - 0.8V = 0.95V$$

となり(図8の(B))、製造プロセス及び動作温度の条件が変化しても前記或る製造プロセス及び動作温度の条件と同一の出力電圧 V_{OUT} を得たいという本来のレベルシフト回路の動作から大きくずれてしまう。つまり、出力電圧 V_{OUT} のレベルシフト量が変化してしまう。したがって、上述した従来のレベルシフト回路では、所定のレベルシフト量が得られないという不具合がある。また、このような不具合は、電源電圧の変動によっても生ずる。

【0020】このような不具合が、図7に示すレベルシフト回路1にはあるから、このレベルシフト回路1を用いて構成される図9に示す小振幅インタフェース入力回路には、製造プロセス、動作温度、電源電圧の変動により、レベルシフト回路1から出力されるレベルシフト後の信号のレベルシフト量の変動に起因する不利な問題が生ずる。すなわち、製造プロセス、動作温度、電源電圧の変動により、そのレベルシフト後の信号が、図10の V_{OUT1} 中のレベルシフト量が適正な V_{OUT1S} から、図10の V_{OUT1} 中の V_{OUT1U} へ上昇して、当該レベルシフト後の信号がコンパレータ14で基準電圧 V_{CP} と比較されると、コンパレータ14から図10の V_{OUT2} の(2)に示すような2値信号が出力されることになる。その結果として、その出力される2値信号の信号幅は、正規の信号幅(図10の V_{OUT2} の(1))よりも広がる、つまり、2値信号にスキューが発生して、この2値信号を受け取るCMOS内部回路22の誤動作の原因となる。

【0021】また、逆に、製造プロセス、動作温度、電源電圧の変動により、そのレベルシフト後の信号が、図10の V_{OUT1} 中のレベルシフト量が適正な V_{OUT1S} から、図10の V_{OUT1} 中の V_{OUT1D} へ下降して、当該レベルシフト後の信号がコンパレータ14で基準電圧 V_{CP} と比較されると、コンパレータ14から図10の V_{OUT2} の(3)に示すような2値信号が出力されることになる。その結果として、その出力される2値信号の信号幅は、正規の信号幅(図10の V_{OUT2} の(1))よりも狭くなる、つまり、2値信号にスキューが発生して、これまたCMOS内部回路の誤動作の原因となる。

【0022】図9に示す小振幅インタフェース入力回路

*【発明が解決しようとする課題】ところで、式(11)中の、特に V_T 及び μ は、製造プロセスのばらつきによる特性変動や動作温度に依存する性質を有する。今、或る製造プロセス及び動作温度の条件において、 $V_{IN} = 3.0V$ (Vはボルトを表す。)、 $\{2I_{DS}/\beta\}^{1/2} = 1V$ 、 $V_T = 0.5V$ とすると、

※Vに変化し、 μ が0.8倍になったとすると、

10について説明したスキューの問題、すなわち、製造プロセス、動作温度、電源電圧の変動により、レベルシフト回路1から出力されるレベルシフト後の信号のレベルシフト量の変動に起因する問題は、図11、及び図12に示す小振幅インタフェース入力回路においても、また、生ずる問題である。図11、図12は、後段が差動増幅回路であるため、図9のようにリファレンスレベルに起因したスキューではなく、差動信号の振幅中心レベル、いわゆるオフセット電圧の変動に起因したスキューが発生する。

【0023】すなわち、製造プロセス、動作温度、電源電圧の変動により、そのレベルシフト後の信号は、正規の信号レベルから上昇したり、下降したりする。その場合に、図11に示す小振幅インタフェース入力回路30においても、また、図12に示す小振幅インタフェース入力回路40においても、その差動増幅回路36の

(+)入力に印加される信号レベルと(-)入力に印加される信号レベルとに、レベルシフト量の変動分に差違がない場合には、正規のレベルシフト量と異なるレベルシフト量でレベルシフトされたレベルシフト後の各信号を差動増幅回路36で差動増幅して得られる2値信号と、正規のレベルシフト量でのレベルシフト後の各信号を差動増幅回路36で差動増幅して得られる2値信号とに差違はない。

【0024】しかしながら、レベルシフト回路34₁とレベルシフト回路34₂とのレベルシフト量に、また、レベルシフト回路42₁とレベルシフト回路42₂のレベルシフト量に差違が生じて来ると、上記のようにリファレンスに起因したスキューではなく、オフセット電圧の変動に起因したスキューの問題が生ずる。したがって、スキューが生じた2値信号を受け取るCMOS内部回路に誤動作を生じさせてしまうという不都合がある。また、図13に示す小振幅インタフェース出力回路でも、レベルシフト回路のレベルシフト量の変動により、正規のレベルシフト量からずれたレベルシフト量の出力信号が小振幅インタフェース出力回路から出力されてしまうという問題がある。このようなレベルシフト量の変動すると、規定されたレベルシフト量の入力信号が供給されたときに正常な動作をする小振幅インタフェース入力回路が誤動作してしまうという不都合がある。

【0025】このような不都合に対しては、予めレベルシフト量の変動分と後段回路が誤動作しない入力電圧を求め、前記入力電圧を逸脱しないようにレベルシフト量を設定することで回避していた。そのレベルシフト量の調節は、定電流源の I_{DS} を調節する第1の方法と、NチャンネルMOSFET N5の β を調節する第2の方法とがある。例えば、第1の方法において、レベルシフト量を大きくしたいときには、ドレイン電流 I_{DS} を大きくすればよいし、第2の方法では、 β 、例えば、 W を小さくすればよい。

【0026】第1の方法によるときは、 I_{DS} の増大の効果が平方根で効いて来るから、レベルシフト量を大きくしたいときのレベルシフト量がレベルシフト量を変えた前のレベルシフト量の約2倍であったとすると、ドレイン電流 I_{DS} を4倍にしなければならない。これは、消費電力の増大となるという不具合がある。したがって、この変更方法は、電池駆動の集積回路等の、省電力化が強く要求される集積回路への採用は、極めて不利である。また、第2の方法によるときは、NチャンネルMOSFET N5の出力インピーダンスが大きくなることで、高速性が損なわれるという不具合がある。したがって、第2の変更方法は、高速な信号を取り扱う集積回路への採用はできない。このように、いずれのレベルシフト量の変更方法によっても、レベルシフト量の変更はできるが、製造プロセス、動作温度、電源電圧の変動によるレベルシフト量の変動は、未だ解決し得ない問題として残っているのである。

【0027】この発明は、上述の事情に鑑みてなされたもので、製造プロセス、動作温度、電源電圧に変動があっても、所定のレベルシフト量だけレベルシフトされた信号を出力し得るレベルシフト回路、このレベルシフト回路を用いた入力回路及び出力回路を提供することを目的としている。

【0028】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、第1の絶縁ゲートトランジスタのソースと該第1の絶縁ゲートトランジスタと同一導電型の第2の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第1の絶縁ゲートトランジスタのゲートに印加し、前記第1及び第2の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路に係り、前記第1及び第2の絶縁ゲートトランジスタのゲートチャンネル幅とゲートチャンネル長との比を等しくし、かつ前記第2の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴としている。

【0029】請求項2記載の発明は、請求項1記載のレベルシフト回路に係り、前記第1及び第2の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、動作温度、及び動作電圧に依存しない前記定電圧が

前記第2の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴としている。請求項3記載の発明は、請求項1又は2記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタの、式(12)で与えられる値を等しくしたことを特徴としている。

$$(1/T) \times W/L \quad \cdots (12)$$

但し、 T はゲート絶縁膜の厚さ、 W はゲートチャンネル幅、 L はゲートチャンネル長で、以下「課題を解決するための手段」の項において同じ。

【0030】請求項4記載の発明は、請求項1又は2記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタの、式(13)で与えられる値を等しくしたことを特徴としている。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \cdots (13)$$

但し、 μ は表面移動度、 ϵ_r はゲート絶縁膜の比誘電率、 S はゲートチャンネルの単位面積で、以下「課題を解決するための手段」の項において同じ。

【0031】請求項5記載の発明は、請求項1、2、3又は4記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴としている。

【0032】請求項6記載の発明は、請求項1、2、3又は4記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴としている。

【0033】請求項7記載の発明は、請求項1乃至6のいずれか1に記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴としている。

【0034】請求項8記載の発明は、請求項1乃至6のいずれか1に記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴としている。

【0035】請求項9記載の発明は、請求項1乃至8のいずれか1に記載のレベルシフト回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴としている。

【0036】請求項10記載の発明は、前段の回路から出力された信号の電圧レベルを、該前段の回路と動作電圧を異にする後段の回路の入力動作レベルにするのに必

10

20

30

40

50

要なレベルシフト量だけ、レベルシフトして、前記後段の回路に供給する入力回路に係り、第1の絶縁ゲートトランジスタのソースと該第1の絶縁ゲートトランジスタと同一導電型の第2の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第1の絶縁ゲートトランジスタのゲートに印加し、前記第1及び第2の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路を設け、前記第1及び第2の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第2の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴としている。

【0037】請求項11記載の発明は、請求項10記載の入力回路に係り、前記第1及び第2の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、及び動作温度に依存しない前記定電圧が前記第2の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴としている。

【0038】請求項12記載の発明は、請求項10又は11記載の入力回路に係り、前記2つの絶縁ゲートトランジスタの、式(14)で与えられる値を等しくしたことを特徴としている。

$$(1/T) \times W/L \quad \dots (14)$$

【0039】請求項13記載の発明は、請求項9又は10記載の入力回路に係り、前記2つの絶縁ゲートトランジスタの、式(15)で与えられる値を等しくしたことを特徴としている。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \dots (15)$$

【0040】請求項14記載の発明は、請求項10、11、12又は13記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴としている。

【0041】請求項15記載の発明は、請求項10、11、12又は13記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴としている。

【0042】請求項16記載の発明は、請求項10乃至15のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴としている。

【0043】請求項17記載の発明は、請求項10乃至15のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいて

も、ソースとバックゲートとは短絡されていないことを特徴としている。

【0044】請求項18記載の発明は、請求項9乃至17のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴としている。

【0045】請求項19記載の発明は、請求項10乃至18のいずれか1に記載の入力回路に係り、前記前段の回路は、互いに逆相関係にあるかつ異なる電圧レベル2つの信号が供給されて1つの出力信号を1つの出力端に出力する差動増幅回路であり、前記レベルシフト回路は、1つの入力端及び1の出力端を有する回路であり、前記後段の回路は、一方の入力端に基準電圧が印加されるコンパレータであり、前記差動増幅回路の1つの出力端が前記レベルシフト回路の1つの入力端に接続され、前記レベルシフト回路の1つの出力端が前記コンパレータの他方の入力端に接続されたことを特徴としている。

【0046】請求項20記載の発明は、請求項10乃至18のいずれか1に記載の入力回路に係り、前記前段の回路は2つの入力端及び2つの出力端を有する差動増幅回路であり、前記レベルシフト回路は、2つの入力端及び2つの出力端を有する回路であり、前記後段の回路は、2つの入力端を有する差動増幅回路であり、前記前段の差動増幅回路は、その2つの入力端に互いに逆相関係にあるかつ異なる電圧レベルの2つの信号が供給され、その2つの出力端が、前記レベルシフト回路の対応する入力端に接続され、前記レベルシフト回路の2つの出力端が、前記後段の差動増幅回路の対応する入力端に接続されたことを特徴としている。

【0047】請求項21記載の発明は、入力信号の電圧レベルを出力段の入力動作レベルにするのに必要なレベルシフト量だけ前記入力信号をレベルシフトして前記出力段に供給する入力回路に係り、第1の絶縁ゲートトランジスタのソースと該第1の絶縁ゲートトランジスタと同一導電型の第2の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第1の絶縁ゲートトランジスタのゲートに印加し、前記第1及び第2の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路を設け、前記第1及び第2の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第2の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴としている。

【0048】請求項22記載の発明は、請求項21記載の入力回路に係り、前記第1及び第2の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、及び動作温度に依存しない前記定電圧が前記第2の絶縁ゲ

ートトランジスタのゲートに印加されるように構成されたことを特徴としている。

【0049】請求項23記載の発明は、請求項21又は22記載の入力回路に係り、前記2つの絶縁ゲートトランジスタの、式(16)で与えられる値を等しくしたことを特徴としている。

$$(1/T) \times W/L \quad \dots (16)$$

【0050】請求項24記載の発明は、請求項21又は22記載の入力回路に係り、前記2つの絶縁ゲートトランジスタの、式(17)で与えられる値を等しくしたことを特徴としている。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \dots (17)$$

【0051】請求項25記載の発明は、請求項21、22、23又は24記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴としている。

【0052】請求項26記載の発明は、請求項21、22、23、又は24記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴としている。

【0053】請求項27記載の発明は、請求項21乃至26のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴としている。

【0054】請求項28記載の発明は、請求項21乃至26のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴としている。

【0055】請求項29記載の発明は、請求項19乃至28のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴としている。

【0056】請求項30記載の発明は、請求項21乃至29のいずれか1に記載の入力回路に係り、前記レベルシフト回路は、互いに逆相関係にあってかつ異なる電圧レベルの2つの信号が供給される2つの入力端及び2つの出力端を有する回路であり、前記出力段は、2つの入力端を有する差動増幅回路であり、前記レベルシフト回路の2つの出力端が、前記出力段の対応する入力端に接続されたことを特徴としている。

【0057】また、請求項31記載の発明は、入力段か

ら出力された信号を負荷回路へ所定のレベルシフト量だけレベルシフトして出力する出力回路に係り、第1の絶縁ゲートトランジスタのソースと該第1の絶縁ゲートトランジスタと同一導電型の第2の絶縁ゲートトランジスタのドレインとを接続し、入力信号を前記第1の絶縁ゲートトランジスタのゲートに印加し、前記第1及び第2の絶縁ゲートトランジスタの接続点から前記入力信号を所望の量だけレベルシフトした出力信号を出力させるレベルシフト回路を設け、前記第1及び第2の絶縁ゲートトランジスタのゲートチャネル幅とゲートチャネル長との比を等しくし、かつ前記第2の絶縁ゲートトランジスタのゲートに定電圧を印加するように構成したことを特徴としている。

【0058】請求項32記載の発明は、請求項31記載の出力回路に係り、前記第1及び第2の絶縁ゲートトランジスタの製造プロセスのばらつきによる特性変動、及び動作温度に依存しない前記定電圧が前記第2の絶縁ゲートトランジスタのゲートに印加されるように構成されたことを特徴としている。

【0059】請求項33記載の発明は、請求項31又は32記載の出力回路に係り、前記2つの絶縁ゲートトランジスタの、式(18)で与えられる値を等しくしたことを特徴としている。

$$(1/T) \times W/L \quad \dots (18)$$

【0060】請求項34記載の発明は、請求項32又は33記載の出力回路に係り、前記2つの絶縁ゲートトランジスタの、式(19)で与えられる値を等しくし、かつ他方の絶縁ゲートトランジスタのゲートにプロセス及び温度に依存性を有しない定電圧を印加するように構成したことを特徴としている。

$$\mu \times \epsilon_r \times (S/T) \times W/L \quad \dots (19)$$

【0061】請求項35記載の発明は、請求項31、32、33、又は34記載の出力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板外から供給するように構成したことを特徴としている。

【0062】請求項36記載の発明は、請求項31、32、33、又は34記載の出力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記定電圧は、基板内で発生されたバンドギャップリファレンス電圧を基に生成された任意の定電圧としたことを特徴としている。

【0063】請求項37記載の発明は、請求項31乃至36のいずれか1に記載の入力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとが短絡されていることを特徴としている。

【0064】請求項38記載の発明は、請求項31乃至36のいずれか1に記載の入力回路に係り、前記2つの

絶縁ゲートトランジスタは、同一の基板上に形成され、かつ、前記いずれの絶縁ゲートトランジスタにおいても、ソースとバックゲートとは短絡されていないことを特徴としている。

【0065】請求項39記載の発明は、請求項31乃至38のいずれか1に記載の出力回路に係り、前記2つの絶縁ゲートトランジスタは、同一の基板上に形成され、前記いずれの絶縁ゲートトランジスタのバックゲートも、基板に供給される最高電位又は最低電位にクランプされることを特徴としている。

【0066】請求項40記載の発明は、請求項31乃至39のいずれか1に記載の出力回路に係り、前記入力段は、2つの入力端及び2つの出力端を有する差動増幅回路であり、前記レベルシフト回路は、2つの入力端及び負荷回路の2つの入力端に接続される2つの出力端を有する回路であり、前記差動増幅回路は、その2つの入力端に互いに逆相関係にあってかつ異なる電圧レベルの2つの信号が供給され、その2つの出力端は、前記レベルシフト回路の2つの入力端に接続されたことを特徴としている。

【0067】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的にを行う。

◇第1実施例

図1は、この発明の第1実施例であるレベルシフト回路を示す図、図2は、同レベルシフト回路の波形図である。この例のレベルシフト回路1Aは、プロセス、温度に変動があっても、所定のレベルシフト量だけレベルシフトされた出力電圧を出力し得るレベルシフト回路に係り、レベルシフト回路1Aは、第1の入力端2と、ゲートを第1の入力端2に接続し、ドレインを電圧源 V_{DD} に接続したNチャンネルMOSFET N_1 と、ドレインをNチャンネルMOSFET N_1 のソースに接続し、ゲートを定電圧源へ接続される第2の入力端4に接続し、ソースを大地電位に接続したNチャンネルMOSFET N_2 と、NチャンネルMOSFET N_1 のソ*

$$V_{GS} = \{2I_{DS}/\beta_2\}^{1/2} + V_T \quad \dots (23)$$

NチャンネルMOSFET N_2 のゲートに印加される電圧 V_R を、上記のように設定される電流 I_{DS} の値を※40で、

$$I_{DS} = 1/2 \beta_2 (V_{GS} - V_T)^2 = 1/2 \beta_2 (V_R - V_T)^2 \quad \dots (24)$$

とする。

【0070】この実施例においても、出力端6に発生する出力電圧 V_{OUT} は、従来回路と同様、次式(25)、

$$\begin{aligned} V_{OUT} &= V_{IN} - \{ [2 \times 1/2 \beta_2 (V_R - V_T)^2 / \beta_1]^{1/2} + V_T \}, \\ &= V_{IN} - [\beta_2 / \beta_1]^{1/2} (V_R - V_T) - V_T \quad \dots \\ (26) \end{aligned}$$

*ースとNチャンネルMOSFET N_2 のドレインとの接続点に接続された出力端6とを有し、これらNチャンネルMOSFET N_1 、 N_2 は同一の基板上に形成される。これらのMOSFETのゲート絶縁膜としては、シリコン酸化膜である。また、定電圧源の電圧 V_R は、製造プロセス、動作温度や、電源電圧に依存しない定電圧に選定される。電圧 V_R は、チップ外から供給されてもよいし、また、チップ内のバンドギャップ電圧、又はバンドギャップ電圧を昇圧、降圧した任意の値を用いてもよい。

【0068】そして、NチャンネルMOSFET N_1 、 N_2 は、その β が等しくなるように形成される。その β は、次式(20)で与えられる。

$$\beta = \mu C_{OX} \times W / L \quad \dots (20)$$

但し、 μ は表面移動度($m^2/ボルト \times 秒$)で、 C_{OX} はゲートチャネルの単位面積当たりの静電容量(ファラッド)、 W はゲートチャネル幅(m)で、 L はゲートチャネル長(m)である。また、 C_{OX} は、式(21)で与えられる。

$$C_{OX} = \epsilon_0 \times \epsilon_r \times S / T_{OX} \quad \dots (21)$$

但し、 ϵ_0 は、真空の誘電率(ファラッド/m)、 ϵ_r は、シリコン酸化膜の比誘電率、 S は、ゲートチャネルの単位面積値(m^2)、 T_{OX} は、シリコン酸化膜の厚さ(m)である。そして、NチャンネルMOSFET N_1 、 N_2 は、共にバックゲート(素子形成領域)とソースとは接続される。

【0069】次に、図1及び図2を参照して、この実施例の動作について説明する。高レベルの電圧 V_{IN} が第1の入力端2に入力され、電圧 V_R が第2の入力端4に印加されると、その電圧 V_R が、NチャンネルMOSFET N_2 のゲートとソース間に印加されて次式(22)で与えられる電流 I_{DS} がNチャンネルMOSFET N_1 、 N_2 に流れる。

$$I_{DS} = 1/2 \beta_2 (V_{GS} - V_T)^2 \quad \dots (22)$$

但し、 β_2 は、式(17)で与えられる。式(22)のゲート-ソース間電圧 V_{GS} は、次式(23)で与えられる。

$$\star V_{OUT} = V_{IN} - V_{GS} \quad \dots (25)$$

で与えられる。この式(25)に式(23)及び(24)を代入すると、

★

となる。

【0071】NチャンネルMOSFET N_1 の β_1 とNチャンネルMOSFET N_2 の β_2 とが等しくなるように、すなわち、NチャンネルMOSFET N_1 のゲートチャンネル幅 W_1 とゲートチャンネル長 L_1 との比と、NチャンネルMOSFET N_2 のゲートチャンネル幅 W_2 とゲートチャンネル長 L_2 との比とを等しく設定して形成されているから、この実施例のレベルシフト回路1Aの出力電圧 V_{OUT} は、

$$V_{OUT} = V_{IN} - V_R \quad \dots (27)$$

となる。 V_R は、製造プロセス、動作温度、電源電圧に依存しない値に設定されているから、出力電圧 V_{OUT} は、製造プロセス、動作温度、電源電圧に依存して変動しない。すなわち、レベルシフト回路1Aのレベルシフト量は、製造プロセス、動作温度、電源電圧によって変動しない。

【0072】このように、この構成によれば、レベルシフト回路から出力される出力電圧 V_{OUT} は、製造プロセス、動作温度、電源電圧に依存しない電圧として出力することができる。すなわち、製造プロセス、動作温度、電源電圧が変動しても、レベルシフト量に変動のない出力電圧 V_{OUT} をレベルシフト回路1Aから出力することができる。また、レベルシフト量の調節は、式(27)から明らかなように、定電圧 V_R を調節することで、自由な値に設定することができる。また、その設定において、従来のように、NMOSを流れる電流やゲート幅 W を変える必要はないため、従来例のような消費電力の増加や、レベルシフト回路の高速性を損なう不具合は発生しない。

【0073】例えば、 $V_R = 1.5V$ とすれば、 $V_{OUT} = 3V - 1.5V = 1.5V$ となる(図2の(B))。この技術的意義は、従来回路においては図9を参照して説明したように、製造プロセス、動作温度、電源電圧が変動するとレベルシフト量が変動して $V_{OUT} = 0.95V$ としてしまうことになるが、この実施例のレベルシフト回路によれば、たとえ製造プロセス、動作温度、電源電圧が変動したとしても、レベルシフト量に変動が生じないから、レベルシフト回路から本来出力したい出力電圧 V_{OUT} である $1.5V$ (図2の(A))を出力することができるということである。

【0074】◇第2実施例

図3は、この発明の第2実施例である小振幅インタフェース入力回路の構成を示す図である。この実施例は、小振幅インタフェース入力回路内の入力段の差動増幅回路から出力される信号の電圧レベルを、出力段のコンパレータに入力される信号の電圧レベルに適合させるために、第1実施例のレベルシフト回路を小振幅インタフェース回路内の差動増幅回路とコンパレータとの間の電圧のレベルシフトに適用した例である。そのレベルシフト回路1Aは、その後段に接続されているコンパレータ1

4と同一チップ内に形成され、コンパレータ14にはレベルシフト回路1Aよりも低い V_{DD} (例えば、レベルシフト回路1Aが3ボルトに対しコンパレータ14は1.8ボルト)が供給されているため、入力信号のレベルをコンパレータ14で受信できる範囲のレベルにまでシフトさせるのに用いられる。

【0075】この実施例の小振幅インタフェース入力回路1Aは、伝送路を経て伝送されて来た、互いに逆相関係にあってかつ異なる電圧レベル2つの信号を各別の入力力で受信する差動増幅回路12と、レベルシフト回路1Aと、コンパレータ14とで構成されている。この実施例の小振幅インタフェース入力回路1Aのレベルシフト回路の差動増幅回路12とコンパレータ14とは、図9について説明したものと同じであり、レベルシフト回路1Aは、図1について説明したものと同一である。したがって、この例の構成において、図1及び図9の構成部分と同一の各部には同一の符号を付してその説明を省略する。

【0076】次に、図3及び図10を参照して、この実施例の動作について説明する。この実施例のレベルシフト回路においても、図9について説明したと同様に、差動増幅回路12の入力端16、18に、互いに逆相関係にあってかつ電圧レベルを異にする2つの入力信号 IN_A 、 IN_B (図10の IN_A 、 IN_B) が入力される。そうすると、差動増幅回路12の出力端O4から差動増幅された信号 IN_B が出力される。その信号 IN_B は、レベルシフト回路1Aの入力端2に印加される。レベルシフト回路1Aの出力端6からレベルシフトされた信号が出力される。レベルシフト回路1Aのレベルシフト量は、レベルシフト回路1Aに入力される信号の信号レベルを、図9の回路と同様、コンパレータ14の信号レベルへシフトさせる量に設定されている。

【0077】そのレベルシフト回路1Aにおけるレベルシフトの動作は、図1及び図2を参照して詳細に説明したように、製造プロセス、動作温度、電源電圧に依存性を有しない。したがって、レベルシフト回路1Aから出力される信号は、製造プロセス、動作温度、電源電圧に依存性のないレベルシフト量だけレベルシフトされた信号となっている。この信号が、コンパレータ14の

(一) 入力に供給されるから、レベルシフト回路を構成するNチャンネルMOSFET N_1 、 N_2 の製造プロセス、動作温度、電源電圧に変動があったとしても、コンパレータ14から出力される2値信号を、互いに逆相関係にあってかつ電圧レベルを異にする2つの入力信号 IN_A 、 IN_B に対応した2値信号であって、スキューのない2値信号としてコンパレータ14から出力させることができる。

【0078】このように、この構成によれば、図9に示す小振幅インタフェース入力回路10のように、コンパレータ14の(一)入力に印加される信号が、製造プロ

10

20

30

40

50

セス、動作温度、電源電圧に依存してレベルシフト回路 1A から出力される信号のレベルシフト量の変動して図 10 の V_{OUT1U} や V_{OUT1D} のように上昇したり、下降したりすることはないから、コンパレータ 14 からスキューのない 2 値信号を CMOS 内部回路 22 へ供給することができる。したがって、CMOS 内部回路 22 を誤動作させてしまう虞はなくなる。また、レベルシフト量の調節は、式 (27) から明らかなように、定電圧 V_R を調節することで、自由な値に設定することができる。また、その設定において、従来のように、NMOS を流れる電流やゲート幅 W を変える必要はないため、従来例のような消費電力の増加や、レベルシフト回路の高速性を損なう不具合は発生しない。

【0079】◇第 3 実施例

図 4 は、この発明の第 3 実施例である小振幅インタフェース入力回路の構成を示す図である。この実施例は、小振幅インタフェース入力回路内の入力段の差動増幅回路から出力される信号の電圧レベルを、出力段の差動増幅回路に入力される信号の電圧レベルに適合させるために、入力段の差動増幅回路と出力段の差動増幅回路との間に第 1 実施例のレベルシフト回路を適用した例である。そして、そのレベルシフト回路 1B は、その後段に接続されている差動増幅回路 36 と同一チップ内に形成され、差動増幅回路 36 にはレベルシフト回路 1B よりも低い V_{DD} (例えば、レベルシフト回路 1B が 3 ボルトに対し差動増幅回路 36 は 1.8 ボルト) が供給されているため、差動増幅回路 36 へ供給される信号のレベルを差動増幅回路 36 で受信できる範囲のレベルにまでシフトさせるのに用いられる。

【0080】この実施例の小振幅インタフェース入力回路 30A は、伝送路を経て伝送されて来た、互いに逆相関係にある電圧レベルを異にする 2 つの入力信号を各別の入力端で受信する差動増幅回路 32 と、差動増幅回路 32 の 2 つの出力端に対応する入力端 2_1 、 2_2 が接続されるレベルシフト回路 1B と、レベルシフト回路 1B の 2 つの出力端 6_1 、 6_2 に対応する入力端が接続された差動増幅回路 36 とから構成されている。その差動増幅回路 32 と差動増幅回路 36 とは、図 11 について説明したものと同一である。

【0081】そして、レベルシフト回路 1B は、第 1 のレベルシフト回路 1B1 と第 2 のレベルシフト回路 1B2 とで構成されるが、第 1 のレベルシフト回路 1B1 と第 2 のレベルシフト回路 1B2 とは、図 1 の構成と同一であるので、第 1 のレベルシフト回路 1B1 及び第 2 のレベルシフト回路 1B2 を構成する各 N チャネル MOSFET には、第 1 のレベルシフト回路 1B1 及び第 2 のレベルシフト回路 1B2 を区別する参照番号 1、2 を添字として付して、第 1 のレベルシフト回路 1B1 及び第 2 のレベルシフト回路 1B2 の説明を省略する。

【0082】次いで、差動増幅回路 32 と、レベルシフ

ト回路 1B と、差動増幅回路 36 との接続関係について説明する。差動増幅回路 32 の出力端 O_3 は、第 1 のレベルシフト回路 1B1 の入力端 2_1 を接続され、出力端 O_4 は、第 2 のレベルシフト回路 1B2 の入力端 2_2 を接続されている。第 1 のレベルシフト回路 1B1 の出力端 6_1 は、差動増幅回路 36 の (+) 入力に接続され、第 2 のレベルシフト回路 1B2 の出力端 6_2 は、差動増幅回路 36 の (-) 入力に接続されている。

【0083】次に、図 4 を参照して、この実施例の動作について説明する。伝送路を経て伝送されて来た、互いに逆相関係にある電圧レベルを異にする 2 つの入力信号 I_{NA} 、 I_{NB} が、差動増幅回路 32 の入力端 1_6 、 1_8 に各別に印加される。その信号 I_{NA} 、 I_{NB} は、差動増幅回路 32 で増幅され、それぞれレベルシフト回路 1B の N チャネル MOSFET N_{11} 、 N_{21} のゲートに印加される。そうすると、レベルシフト回路 1B1 の出力端 6_1 とレベルシフト回路 1B2 の出力端 6_2 とから互いに逆相関係にある異なる電圧レベルであって、所定のレベルシフト量だけレベルシフトされた信号が、それぞれレベルシフト回路 1B1 の出力端 6_1 とレベルシフト回路 1B2 の出力端 6_2 とから出力される。レベルシフト回路 1B の各レベルシフト回路 1B1、1B2 の出力端 6_1 、 6_2 からレベルシフトされた信号のレベルシフト量は、レベルシフト回路 1B の各別のレベルシフト回路 1B1、1B2 に入力される信号の信号レベルを、図 11 の回路と同様、差動増幅回路 36 の信号レベルへレベルシフトさせる量に設定されている。

【0084】そのレベルシフト回路 1B の各レベルシフト回路 1B1、1B2 におけるレベルシフトの動作は、図 1 及び図 2 を参照して詳細に説明したように、プロセス、温度に依存性して変動しない。したがって、レベルシフト回路 1B の各別のレベルシフト回路 1B1、1B2 から出力されるそれぞれの信号は、製造プロセス、動作温度、電源電圧に依存性のないレベルシフト量だけレベルシフトされた信号となっている。これら 2 つの信号が、差動増幅回路 36 の (+) 入力及び (-) 入力に供給されるから、レベルシフト回路を構成する N チャネル MOSFET N_{11} 、 N_{12} 、 N_{21} 、 N_{22} の製造プロセス、動作温度、電源電圧に変動があったとしても、差動増幅回路 36 から出力される 2 値信号を、互いに逆相関係でかつ電圧レベルを異にする 2 つの入力信号 I_{NA} 、 I_{NB} に対応した 2 値信号であって、スキューのない 2 値信号として差動増幅回路 36 から出力させることができる。

【0085】このように、この構成によれば、図 11 に示す小振幅インタフェース入力回路 30 のように、差動増幅回路 36 の (+) 入力及び (-) 入力に印加される信号が、製造プロセス、動作温度、電源電圧に依存して

レベルシフト回路 34 から出力される信号のレベルシフト量が変動して図 10 の V_{OUT1U} や V_{OUT1D} のように上昇したり、下降したりすることはないから、差動増幅回路 36 からスキューのない 2 値信号を CMOS 内部回路 38 へ供給することができる。したがって、CMOS 内部回路 38 を誤動作させてしまう虞はなくなる。また、レベルシフト量の調節は、式 (27) から明らかなように、定電圧 V_R を調節することで、自由な値に設定することができる。また、その設定において、従来のように、NMOS を流れる電流やゲート幅 W を変える必要はないため、従来例のような消費電力の増加や、レベルシフト回路の高速性を損なう不具合は発生しない。

【0086】◇第 4 実施例

図 5 は、この発明の第 4 実施例である小振幅インタフェース入力回路の構成を示す図である。この実施例は、伝送路を経て小振幅インタフェース入力回路の 2 つの入力端へ入力される、互いに逆相関係にある電圧レベルを異にする 2 つの入力信号の電圧レベルを、出力段の差動増幅回路の各入力に入力される信号の電圧レベルに適合させるために、小振幅インタフェース入力回路の各入力端と出力段の差動増幅回路の各入力端との間に第 1 実施例のレベルシフト回路を適用した例である。そして、この実施例においてレベルシフト回路 1C を用いる理由は、レベルシフト回路 1C の後段に接続されている差動増幅回路 36 に電圧源 V_{DD} 以上の信号が供給されると動作できないため（例えば、 $V_{DD} = 1.8$ ボルトに対し信号振幅中心レベルが 2.5 ボルトの信号がバスラインを介して供給された場合）、差動増幅回路 36 へ供給される信号のレベルを差動増幅回路 36 で受信できる範囲のレベルにまでシフトさせるためである。

【0087】この実施例の小振幅インタフェース入力回路 40A は、互いに逆相関係にある電圧レベルを異にする 2 つの入力信号を各別の入力端に受信するレベルシフト回路 1C と、レベルシフト回路 1C の 2 つの出力端に対応する入力端が接続される差動増幅回路 36 とから構成されている。その差動増幅回路 36 は、図 11 について説明したものと同一である。そして、レベルシフト回路 1C は、第 1 のレベルシフト回路 1C1 と第 2 のレベルシフト回路 1C2 とで構成されるが、第 1 のレベルシフト回路 1C1 と第 2 のレベルシフト回路 1C2 とは、図 1 の構成と同一であるので、第 1 のレベルシフト回路 1C1 及び第 2 のレベルシフト回路 1C2 を構成する各 N チャネル MOSFET には、第 1 のレベルシフト回路 1C1 及び第 2 のレベルシフト回路 1C2 を区別する参照番号 1, 2 を添字として付して、第 1 のレベルシフト回路 1C1 及び第 2 のレベルシフト回路 1C2 の説明を省略する。

【0088】次いで、レベルシフト回路 1C と、差動増幅回路 36 との接続関係について説明する。互いに逆相

関係にあつてかつ電圧レベルを異にする 2 つの入力信号を伝送路から受信する 2 つの入力端の一方の入力端は、また、第 1 のレベルシフト回路 1C1 の入力端 2_1 であり、他方の入力端は、第 2 のレベルシフト回路 1C2 の入力端 2_2 である。第 1 のレベルシフト回路 1C1 の出力端 6_1 は、差動増幅回路 36 の (+) 入力に接続され、第 2 のレベルシフト回路 1C2 の出力端 6_2 は、差動増幅回路 36 の (-) 入力に接続されている。

【0089】次に、図 5 を参照して、この実施例の動作について説明する。伝送路を経て伝送されて来た、互いに逆相関係にある電圧レベルを異にする 2 つの入力信号 I_{NA} , I_{NB} が、レベルシフト回路 1C の入力端 2_1 , 2_2 に各別に印加される。そうすると、レベルシフト回路 1C1 の出力端 6_1 とレベルシフト回路 1C2 の出力端 6_2 とから互いに逆相関係にある異なる電圧レベルであつて、それぞれ同一のレベルシフト量だけレベルシフトされた信号が、レベルシフト回路 1C1 の出力端 6_1 とレベルシフト回路 1C2 の出力端 6_2 とからそれぞれ出力される。レベルシフト回路 1C の各レベルシフト回路 1C1, 1C2 の出力端 6_1 , 6_2 からレベルシフトされた信号のレベルシフト量は、レベルシフト回路 1C の各別のレベルシフト回路 1C1, 1C2 に入力される信号の信号レベルを、図 12 の回路と同様、差動増幅回路 36 の信号レベルへシフトさせる量に設定されている。そのレベルシフト回路 1C の各レベルシフト回路 1C1, 1C2 におけるレベルシフトの動作は、図 1 及び図 2 を参照して詳細に説明したように、プロセス、温度に依存性して変動しない。したがって、レベルシフト回路 1C の各別のレベルシフト回路 1C1, 1C2 から出力されるそれぞれの信号は、製造プロセス、動作温度、電源電圧に依存性のないレベルシフト量だけレベルシフトされた信号となっている。

【0090】これら 2 つの信号が、差動増幅回路 36 の (+) 入力及び (-) 入力に供給されるから、レベルシフト回路を構成する N チャネル MOSFET N_{11} , N_{12} , N_{21} , N_{22} の製造プロセス、動作温度、電源電圧に変動があつたとしても、差動増幅回路 36 から出力される 2 値信号を、互いに逆相関係でしかも電圧レベルを異にする 2 つの入力信号 I_{NA} , I_{NB} に対応した 2 値信号であつて、スキューのない 2 値信号として差動増幅回路 36 から出力させることができる。

【0091】このように、この構成によれば、図 12 に示す小振幅インタフェース入力回路 40 のように、差動増幅回路 36 の (+) 入力及び (-) 入力に印加される信号が、製造プロセス、動作温度、電源電圧に依存してレベルシフト回路 42 から出力される信号のレベルシフト量が変動して図 10 の V_{OUT1U} や V_{OUT1D} のように上昇したり、下降したりすることはないから、差動増幅回路 36 からスキューのない 2 値信号を C

MOS内部回路38へ供給することができる。したがって、CMOS内部回路38を誤動作させてしまう虞はなくなる。また、レベルシフト量の調節は、式(27)から明らかなように、定電圧 V_R を調節することで、自由な値に設定することができる。また、その設定において、従来のように、NMOSを流れる電流やゲート幅 W を変える必要はないため、従来例のような消費電力の増加や、レベルシフト回路の高速性を損なう不具合は発生しない。

【0092】◇第5実施例

図6は、この発明の第5実施例である小振幅インタフェース出力回路の構成を示す図である。この実施例は、小振幅インタフェース出力回路内の入力段の差動増幅回路32から出力される信号の電圧レベルを、負荷回路54へ供給される信号の電圧レベルに適合させるために、入力段の差動増幅回路32と負荷回路54との間に第1実施例のレベルシフト回路を適用した例である。

【0093】この実施例の小振幅インタフェース出力回路50Aは、互いに逆相関係にあってかつ電圧レベルを異にする2つの入力信号を各別の入力端16、18で受信する差動増幅回路32と、差動増幅回路32の2つの出力端 O_3 、 O_4 に対応する入力端 2_1 、 2_2 が接続されるレベルシフト回路1Bと、レベルシフト回路1Bの2つの出力端 6_1 、 6_2 は、伝送路52に接続されて構成されている。その差動増幅回路32は、図11について説明したものと同一であり、レベルシフト回路1Bは、図4について説明したものと同一である。したがって、この例の構成において、図4及び図11の構成部分と同一の各部には同一の符号を付してその説明を省略する。

【0094】次に、図6を参照して、この実施例の動作について説明する。互いに逆相関係にあって電圧レベルを異にする2つの入力信号 I_{NA} 、 I_{NB} が、差動増幅回路32の入力端16、18に各別に印加される。その信号 I_{NA} 、 I_{NB} は、差動増幅回路32で増幅され、それぞれレベルシフト回路1BのNチャネルMOSFET N_{11} 、 N_{21} のゲートに印加される。そうすると、レベルシフト回路1B1の出力端 6_1 とレベルシフト回路1B2の出力端 6_2 とから互いに逆相関係にある異なる電圧レベルであって、所定のレベルシフト量だけレベルシフトされた信号が、それぞれレベルシフト回路1B1の出力端 6_1 とレベルシフト回路1B2の出力端 6_2 とから出力される。レベルシフト回路1Bの各レベルシフト回路1B1、1B2の出力端 6_1 、 6_2 からレベルシフトされた信号のレベルシフト量は、レベルシフト回路1Bの各別のレベルシフト回路1B1、1B2に入力される信号の信号レベルを、伝送路52に接続される負荷回路54で規定された信号レベルへレベルシフトさせる量に設定されている。そのレベルシフト回路1Bの各レベルシフト回路1B1、1B2にお

けるレベルシフトの動作は、図1及び図2を参照して詳細に説明したように、製造プロセス、動作温度、電源電圧に依存して変動しない。

【0095】したがって、レベルシフト回路1Bの各別のレベルシフト回路1B1、1B2から出力されるそれぞれの信号は、製造プロセス、動作温度、電源電圧に依存性のないレベルシフト量だけレベルシフトされた信号となっている。これら2つの信号が、伝送路52を経て負荷回路54へ供給される。このように、この構成によれば、レベルシフト回路を構成するNチャネルMOSFET N_{11} 、 N_{12} 、 N_{21} 、 N_{22} の製造プロセス、動作温度、電源電圧に変動があったとしても、負荷回路54に、規定のレベルシフト量の信号を供給できるから、負荷回路54に誤動作を生じさせてしまうことはなくなる。また、レベルシフト量の調節は、式(27)から明らかなように、定電圧 V_R を調節することで、自由な値に設定することができる。また、その設定において、従来のように、NMOSを流れる電流やゲート幅 W を変える必要はないため、従来例のような消費電力の増加や、レベルシフト回路の高速性を損なう不具合は発生しない。

【0096】以上、この発明の実施例を図面を参照して詳述してきたが、この発明の具体的な構成は、これらの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもそれらはこの発明に含まれる。例えば、上記実施例においては、 $W_1/L_1 = W_2/L_2$ とする例について説明したが、 $(1/T_{OX1})TW_1/L_1 = (1/T_{OX2})W_2/L_2$ としてもよい。また、NチャネルMOSFETを用いる例を説明したが、PチャネルMOSFETを用いても構成し得る。また、バックゲートとソースとを短絡する例を説明したが、レベルシフト量の変動が許容し得る範囲内でバックゲートとソースとを短絡しない構成であってもよい。更に、MOSFETのゲート絶縁膜として、シリコン酸化膜を例示したが、他のゲート酸化膜等を用いてもよい。

【0097】

【発明の効果】以上説明したように、この発明の構成によれば、製造プロセス、動作温度、電源電圧に依存してレベルシフト量を変動させてしまう絶縁ゲートトランジスタの変動要因を除き、その除去において消費電流の増大や回路動作の高速性を損なう因子が入らないようにレベルシフト回路を構成したので、従来のレベルシフト量の変更方法のような消費電流の増大をレベルシフト回路に与えたり、レベルシフト回路の動作の高速性を損なったりすることはない。そして、レベルシフト回路のレベルシフト量の設定を電圧で変更できる構成としたので、レベルシフト量の変更を電圧の変更で自由に設定することができる。

【0098】また、このレベルシフト回路を小振幅イン

タフェース入力回路に適用したとき、レベルシフト回路のレベルシフト量は、製造プロセス、動作温度、電源電圧に依存して変動しないので、製造プロセス、動作温度、電源電圧の変動で、その入力回路から出力される 2 値信号にスキューを生じさせてしまうことはないから、入力回路に接続される回路の誤動作を防止することができる。また、その小振幅インタフェース入力回路での消費電力や、高速性が要求される分野においては、上記レベルシフト回路を用いて構成した小振幅インタフェース入力回路に有利性が生ずる。

【0099】さらに、このレベルシフト回路を小振幅インタフェース出力回路に適用したとき、レベルシフト回路のレベルシフト量は、製造プロセス、動作温度、電源電圧に依存して変動しないので、製造プロセス、動作温度、電源電圧の変動で、その出力回路から、互いに逆相関係にあってかつ異なる電圧レベルにあると共に、所定のレベルシフト量からずれてレベルシフトされた信号を生じさせてしまうことはないから、出力回路に接続される負荷回路に誤動作を生じさせてしまうことは無くなる。また、その小振幅インタフェース出力回路での消費電力や、高速性が要求される分野においては、上記レベルシフト回路を用いて構成した小振幅インタフェース出力回路に有利性が生ずる。

【0100】

【図面の簡単な説明】

【図 1】この発明の第 1 実施例であるレベルシフト回路の構成を示す図である。

【図 2】同レベルシフト回路の動作波形図である。

【図 3】この発明の第 2 実施例である小振幅インタフェース入力回路の構成を示す図である。

【図 4】この発明の第 3 実施例である小振幅インタフェース入力回路の構成を示す図である。

【図 5】この発明の第 4 実施例である小振幅インタフェース入力回路の構成を示す図である。

【図 6】この発明の第 5 実施例である小振幅インタフェース出力回路の構成を示す図である。

【図 7】従来のレベルシフト回路の構成を示す図である。

【図 8】同レベルシフト回路の動作波形図である。

【図 9】従来の 1 つの小振幅インタフェース入力回路の構成を示す図である。

【図 10】同小振幅インタフェース回路の動作波形図である。

10 【図 11】従来の他の小振幅インタフェース回路の構成を示す図である。

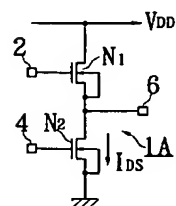
【図 12】従来のさらに他の小振幅インタフェース回路の構成を示す図である。

【図 13】従来のさらに他の小振幅インタフェース回路の構成を示す図である。

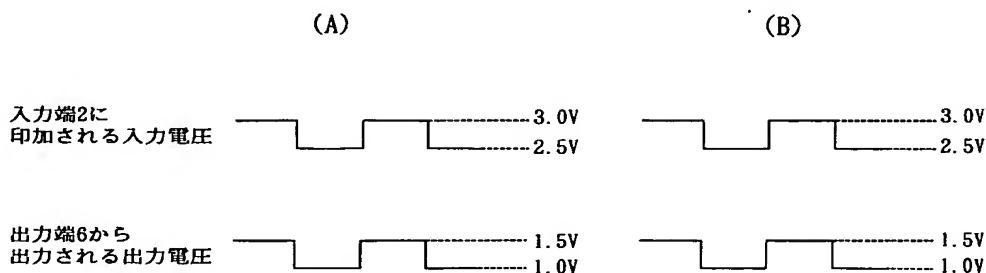
【符号の説明】

1 A	レベルシフト回路
1 B	レベルシフト回路
1 C	レベルシフト回路
2	第 1 の入力端
4	第 2 の入力端
6	出力端
10 A	小振幅インタフェース入力回路 (入力回路)
12	差動増幅回路
14	コンパレータ
16	入力端
18	入力端
30 A	小振幅インタフェース入力回路 (入力回路)
32	差動増幅回路
30	36 差動増幅回路
40 A	小振幅インタフェース入力回路 (入力回路)
50 A	小振幅インタフェース出力回路 (出力回路)
54	負荷回路

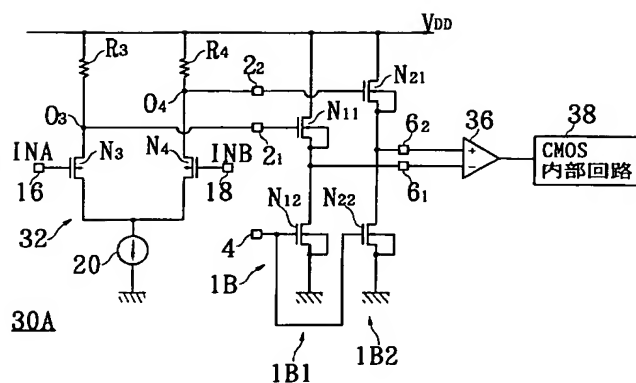
【図 1】



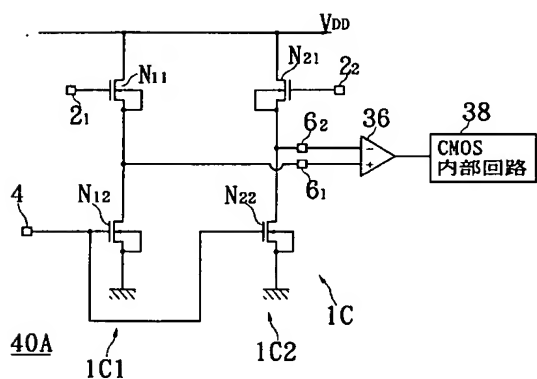
【図 2】



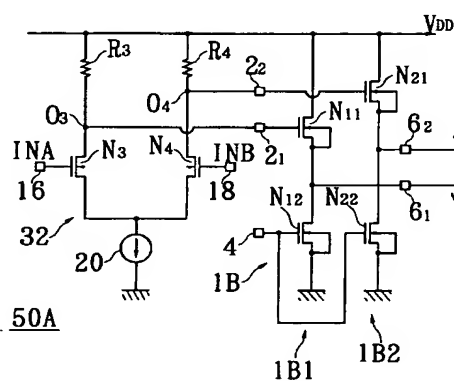
【図 4】



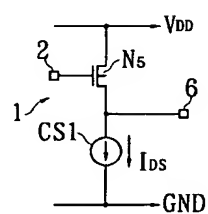
【図 5】



【図 6】



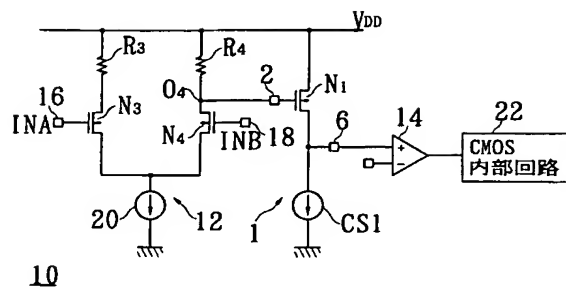
【図 7】



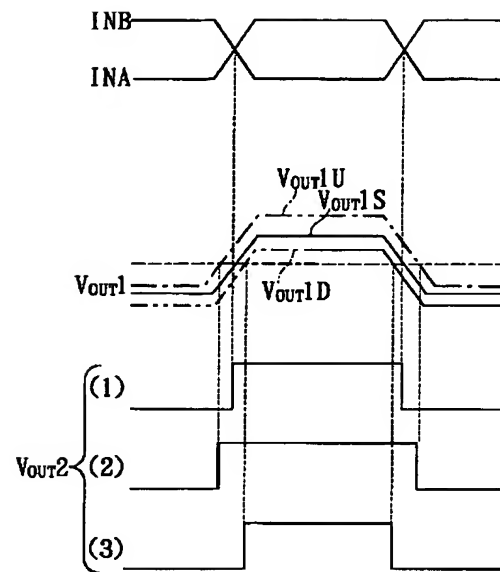
【图 8】

(B)

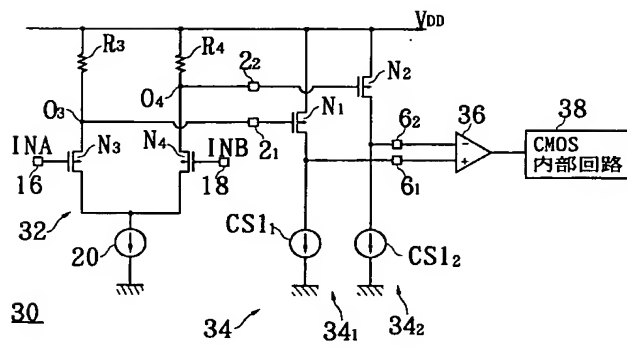
【図 9】



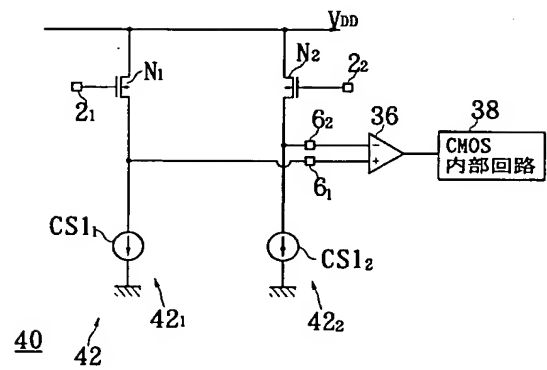
【図 10】



【図 11】



【図 12】



【図 13】

